

عنوان مقاله:

طراحی و شبیه سازی ضرب کننده سریال تپشی با VHDL

محل انتشار:

دوازدهمین کنفرانس سالانه انجمن کامپیوتر ایران (سال: 1385)

تعداد صفحات اصل مقاله: 6

نویسندگان:

فهیمة یزدان پناه - عضو هیئت علمی گروه مهندسی کامپیوتر، دانشکده فنی و مهندسی، دانشگاه ش

محمد علائی - عضو هیئت علمی گروه مهندسی کامپیوتر، دانشکده فنی و مهندسی، دانشگاه ش

عباس وفایی - عضو هیئت علمی گروه مهندسی کامپیوتر، دانشکده فنی و مهندسی، دانشگاه اص

خلاصه مقاله:

در این مقاله، رویه ای برای طراحی و مدلسازی یک ضرب کننده سریال تپشی 1 برای اعداد بدون علامت با کمک زبان توصیف سخت افزار 2 بر روی تراشه FPGA ارائه می گردد. در این رویه، حاصل ضرب ب ه صورت کامل بدون وارد کردن کلمه صفر بین دو داده متوالی، روی خطوط خروجی ظاهر می شود. ضرب کننده پیشنهادی بر اساس یک ضرب کننده سری / موازی که با بهره وری صددرصد کار می کند، پایه گذاری شده است. محاسبات مربوط به قسمت کم ارزش و قسمت پرارزش ح اصل ضرب در دو مرحله که همپوشانی دارند، انجام می شود. با حذف تعدادی از عناصر تأخیر و نیز ادغام هر دو سلول مجاور در مدار مورد نظر، مدار ب ه صورت تپشی کار خواهد کرد و با اعمال تغییراتی در ورودی موازی، هر دو ورودی مدار ب ه صورت سری اعمال می شوند. از جنبه ها ی مهم این طرح این است که حاصل ضرب ب ه صورت کامل و بدون تأخیر به دست می آید. در نتیجه، برای ضرب اعداد طولانی ب ه صورت پیوسته و تپشی، بدون افزایش پیچیدگی سخت افزار، قابل بکارگیری می باشد.

کلمات کلیدی:

آرایه های تپشی، ضرب کننده سریال، ضرب کننده تپشی، زبان توصیف سخت افزار

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/44677>

