

عنوان مقاله:

روش تلفیقی جهت بهبود قابلیت اطمینان در شبکه بر تراشه

محل انتشار:

پانزدهمین کنفرانس کامپیوتر سالانه انجمن کامپیوتر ایران (سال: 1388)

تعداد صفحات اصل مقاله: 4

نویسندگان:

فاطمه کریمی - دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران

احمد خادم زاده - مرکز تحقیقات مخابرات ایران

میدیا رشادی - دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران

خلاصه مقاله:

کاهش مقیاس ترانزیستورها، کاهش ولتاژ منبع تغذیه و V_t تراشه های آینده را به همراه داشته که این امر منجر به افزایش حساسیت سیم ها در مقابل منابع نویز و نیز افزایش میزان خطای گذرای تراشه ها شده است. تا کنون روشهای مختلفی نظیر بکارگیری کدهای تشخیص و تصحیح خطا، جهت ارتقای قابلیت اطمینان بستر ارتباطی شبکه بر تراشه پیشنهاد گردیده که سربارهایی نظیر تاخیر، توان مصرفی و ناحیه مصرفی را به همراه داشته است. در این مقاله، روش کنترل خطایی به نام روش تلفیقی جهت بکارگیری در همبندیهای با اتصالات بلند در شبکه بر تراشه پیشنهاد شده است که از روش تشخیص خطا در اتصالات کوتاه و روش تصحیح خطا در اتصالات بلند استفاده می نماید. در این روش، میانگین تاخیر شبکه نسبت به روش تشخیص خطا کاهش پیدا کرده و سربار ناحیه مصرفی تراشه نسبت به روش تصحیح خطا بهبود یافته است.

کلمات کلیدی:

شبکه بر تراشه، قابلیت اطمینان، کدهای تشخیص و تصحیح خطا

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/79221>

